

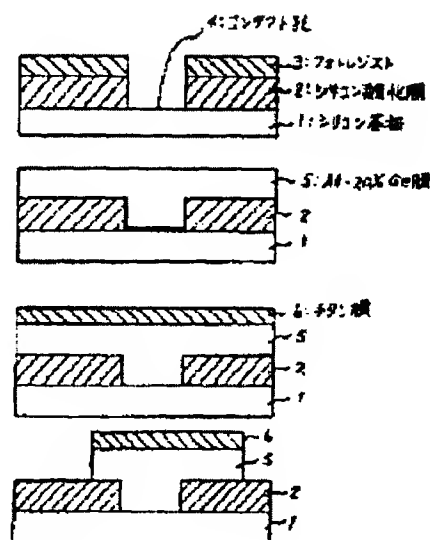
SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Patent number: JP4273162
 Publication date: 1992-09-29
 Inventor: YOSHIKAWA KIMIMARO
 Applicant: NIPPON ELECTRIC CO
 Classification:
 - International: H01L21/28; H01L21/3205; H01L23/52; H01L29/43;
 H01L21/02; H01L23/52; H01L29/40; (IPC1-7):
 H01L21/28; H01L21/3205; H01L29/46
 - european:
 Application number: JP19910055888 19910227
 Priority number(s): JP19910055888 19910227

Report a data error here

Abstract of JP4273162

PURPOSE: To prevent disconnection of aluminium wiring due to increase of a wiring resistance by stacking Ti film on aluminium wiring including Ce and forming titanium germanide through chemical combining of Ge precipitated more than the degree of solid solubility and Ti. **CONSTITUTION:** A Ti thin film is continuously formed, under the same vacuum condition, on the surface or lower surface of Al-Ge wiring and thereafter heat treatment is carried out thereto. Thereby, an excessive Ge in the Al-Ge chemically combines with Ti to be titanium germanide, preventing precipitation of Ge in the I wiring.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-273162

(43) 公開日 平成4年(1992)9月29日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/46		L 7738-4M		
21/28	3 0 1	L 7738-4M		
		R 7738-4M		
21/3205		7353-4M		
			H 0 1 L 21/88	R

審査請求 未請求 請求項の数4(全5頁) 最終頁に続く

(21) 出願番号 特願平3-55888

(22) 出願日 平成3年(1991)2月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古川 公廣

東京都港区芝五丁目7番1号 日本電気株式会社内

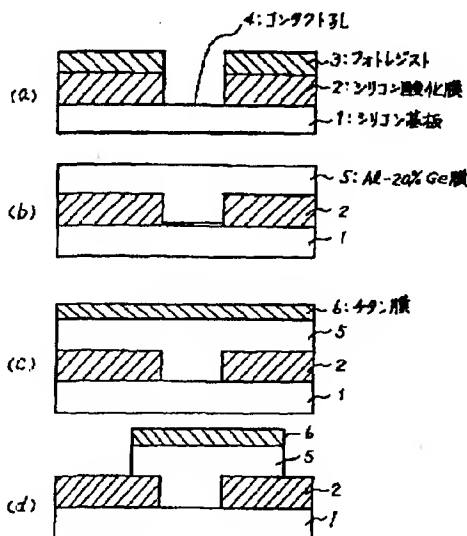
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置及びその製造方法

(67) 【要約】

【目的】 Ge含有Al配線にTi膜を積層し、固溶度以上の析出するGeをTiと化合させてチタンゲルマナイドを形成して、Al配線中にGeの析出を防ぎ、配線抵抗の増大によるAl配線断線を防ぐ。

【構成】 Al-Ge配線の表面又は下面にTi膜を同一真空中で連続的に形成し、熱処理することにより、Al-Ge中の過剰GeがTiと化合して、チタンゲルマナイドとなり、Al配線中でのGeの析出を防ぐ。



【特許請求の範囲】

【請求項1】 半導体基板上に、ゲルマニウム含有アルミニウム膜と、チタン薄膜とを有する半導体装置であって、ゲルマニウム含有アルミニウム膜は下層に、チタン薄膜は上層に配置して、半導体基板上に積層形成されたものであり、アルミニウム膜から析出するゲルマニウムをチタン薄膜のチタンと化合させてチタンゲルマナイドを形成したものであることを特徴とする半導体装置。

【請求項2】 半導体基板上に、チタン薄膜と、ゲルマニウム含有アルミニウム膜とを有する半導体装置であって、チタン薄膜は下層に、ゲルマニウム含有アルミニウム膜は上層に配置して、半導体基板上に積層形成されたものであり、アルミニウム膜から析出するゲルマニウムをチタン薄膜のチタンと化合させてチタンゲルマナイドを形成したものであることを特徴とする半導体装置。

【請求項3】 真空中で半導体基板上に、ゲルマニウムを固溶度以上含有するアルミニウム膜を融点の半分以上の高温で真空中で形成し、その後、連続的に真空中で、高温でチタン膜を前記アルミニウム膜上に形成することを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上にチタン膜を真空中で形成し、その後、連続的に真空中でゲルマニウムを固溶度以上含有するアルミニウム膜を融点の半分以上の高温で前記チタン膜上に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、特に半導体集積回路の電極配線であるAl配線の信頼性向上のための技術に関する。

【0002】

【従来の技術】 従来、半導体集積回路、特にSi-LSI（大規模集積回路）の電極配線には、Al配線が用いられてきた。この理由は、AlがSi基板となじみが良いこと、加工がしやすいこと、下地との密着性が高いこと等が挙げられる。そして、Al配線の形成方法はスパッタと呼ばれる、真空中で不活性ガスのプラズマによりターゲット金属をたいて蒸着する方法がとられている。

【0003】

【発明が解決しようとする課題】 しかしながら、このスパッタ法では、真空中の平均自由行程を利用した金属粒の物理的な接着であるため、コンタクト孔等の深い孔に対しては、金属粒の直達性のため、被覆性がきわめて悪い。これが原因でAl配線が断線するという信頼性上の問題が多発している。

【0004】 このような問題を解決するために、本発明者は既に、AlにGeを含有した金属を融点付近の高温でスパッタし、コンタクト孔に溶かし込むリフロースパッタを提案した。しかしながら、このためにAl膜中に

は固溶度以上のGeが必要であり、この固溶度以上のGeは後に冷却したとき、Ge析出が生じAl配線断線の新たな問題点となることを見出した。

【0005】 本発明の目的は、前記課題を解決した半導体装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】 このような問題を解決するために、本発明者はAlにGeを固溶度以上含有した金属を融点付近の高温でスパッタし、コンタクト孔に溶かし込んだ後、同一真空中で連続的にTi膜を高温のままAl-Ge膜上にスパッタすればいいことを見出した。そこで、本発明に係る半導体装置においては、半導体基板上に、ゲルマニウム含有アルミニウム膜と、チタン薄膜とを有する半導体装置であって、ゲルマニウム含有アルミニウム膜は下層に、チタン薄膜は上層に配置して、半導体基板上に積層形成されたものであり、アルミニウム膜から析出するゲルマニウムをチタン薄膜のチタンと化合させてチタンゲルマナイドを形成したものである。

20 【0007】 また、本発明は、半導体基板上に、チタン薄膜と、ゲルマニウム含有アルミニウム膜とを有する半導体装置であって、チタン薄膜は下層に、ゲルマニウム含有アルミニウム膜は上層に配置して、半導体基板上に積層形成されたものであり、アルミニウム膜から析出するゲルマニウムをチタン薄膜のチタンと化合させてチタンゲルマナイドを形成したものである。

30 【0008】 さらに、本発明に係る半導体装置の製造方法においては、真空中で半導体基板上に、ゲルマニウムを固溶度以上含有するアルミニウム膜を融点の半分以上の高温で真空中で形成し、その後、連続的に真空中で、高温でチタン膜を前記アルミニウム膜上に形成するものである。

【0009】 また、本発明は半導体基板上にチタン膜を真空中で形成し、その後、連続的に真空中でゲルマニウムを固溶度以上含有するアルミニウム膜を融点の半分以上の高温で前記チタン膜上に形成するものである。

【0010】

40 【作用】 AlにGeを固溶度以上含有した金属を融点付近の高温でスパッタし、コンタクト孔に溶かし込んだ後、同一真空中で連続的にTi膜を高温のままAl-Ge膜上にスパッタすることにより、固溶度以上のGeが冷却時にAl膜中に析出しないでTi膜に吸い上げられ、チタンゲルマナイドを形成するためであることを見出した。

【0011】

【実施例】 次に本発明を図面を用いて説明する。

【0012】 （実施例1） 図1は本発明の実施例1を製造工程順に示す断面図である。図1(a)において、p型シリコン基板1の表面にシリコン酸化膜2を500nm形成し、フォトリソグラフィにより、パターンニングし

て、フォトリソグロフにマスクにシリコン酸化膜2をC_F₄+O₂ガスを用い、反応性イオンエッチングによりコンタクト孔4を形成する。

【0013】次に図1(b)に示すように、DCマグネトロンスパッタによりGeを20%含有するAlターゲットから膜厚200nmのAl-20%Ge膜5を基板加熱温度300℃、スパッタパワー7kW、Ar圧力8mTorrの条件で形成する。このときの実効的ウェーハ温度は430℃を越えており、ウェーハに到達したAl、Geの原子又はクラスターはウェーハ上で溶融し、コンタクト孔4にマイグレートし、コンタクト孔4を埋める。

【0014】次に、図1(c)に示すように、同一真空中で基板温度300℃で、チタン膜6をDCマグネトロンスパッタで、スパッタパワー0.4kW、Ar圧力8mTorr、膜厚100nm形成する。必要であれば、この後400℃程度の熱処理を行ってもよい。

【0015】最後に図1(d)に示すように、フォトリソグラフィにより、配線アルミバタニグドライエッチを行い、電極配線を形成する。なお、バタニグ後、シリコン基板と配線金属とのコンタクトをとるためのシタリングは、400℃で行っている。

【0016】(実施例2)図2は、本発明の実施例2を製造工程順に示す断面図である。図2(a)に示すように、p型シリコン基板21の表面にシリコン酸化膜22を膜厚500nm形成し、フォトリソグラフィにより、バタニグして、フォトリソ23をマスクに酸化膜2を反応性イオンエッチングによりC_F₄+O₂の混合ガスを用いてコンタクト孔24を形成する。

【0017】次に図2(b)に示すように、第一のバリアメタルとしてチタン膜25をT1ターゲットのDCマグネトロンスパッタによりスパッタパワー0.4kW、Ar圧力8mTorr、基板温度300℃の条件で膜厚30nm形成し、続いて連続的に同一真空中で、窒化チタン膜100nm26をT1ターゲットの反応性スパッタによりAr+N₂混合ガスを用いて、スパッタパワー0.4kW、Ar圧力3mTorr、基板加熱温度300℃で形成する。

【0018】図2(c)に示すように、Ge5%含有Alターゲットを用い、膜厚500nmのAl-5%Ge膜27をスパッタパワー7kW、Ar圧力8mTorr、基板加熱350℃で形成する。このときの実効的ウェーハ温度はAl-Geの融点430℃を越えており、ウェーハに到達したAl-Ge原子又はクラスターはウェーハ上で溶融し、コンタクト孔にマイグレートし、コンタクト孔24を埋める。続いて、同一真空中でT1膜28をDCマグネトロンスパッタによりスパッタパワー0.4kW、Ar圧力8mTorr、基板温度300℃の条件で膜厚100nm形成し、過剰GeをT1膜に吸い取る。このとき、必要であれば400℃熱処理しても

よい。

【0019】最後に図2(d)に示すように、フォトリソグラフィにより、配線アルミバタニグドライエッチを行い、電極配線を形成する。なお、バタニグ後、シリコン基板と配線金属とのコンタクトをとるためのシタリングは、400℃で行っている。

【0020】(実施例3)図3は、本発明の実施例3を製造工程順に示す断面図である。図3(a)に示すように、p型シリコン基板31の表面にシリコン酸化膜32を膜厚500nm形成し、フォトリソグラフィにより、バタニグして、フォトリソ33をマスクに酸化膜を反応性イオンエッチングによりC_F₄+O₂の混合ガスを用いてコンタクト孔34を形成する。

【0021】次に図3(b)に示すように、第一のバリアメタルとしてチタン膜35をT1ターゲットのDCマグネトロンスパッタによりスパッタパワー0.4kW、Ar圧力8mTorr、基板温度200℃で膜厚30nm形成し、続いて連続的に同一真空中で、窒化チタン膜100nm36をT1ターゲットの反応性スパッタによりAr+N₂混合ガスを用いて、スパッタパワー0.4kW、Ar圧力3mTorr、基板加熱温度300℃で形成する。さらに、チタン膜38をT1ターゲットのDCマグネトロンスパッタによりスパッタパワー0.4kW、Ar圧力8mTorr、基板温度200℃で膜厚100nm形成する。

【0022】続いて図3(c)に示すように、Ge5%含有Alターゲットを用い、膜厚500nmのAl-5%Ge膜37をスパッタパワー7kW、Ar圧力8mTorr、基板加熱350℃で形成する。このときの実効的ウェーハ温度はAl-Geの融点430℃を越えており、ウェーハに到達したAl-Ge原子又はクラスターはウェーハ上で溶融し、コンタクト孔にマイグレートし、コンタクト孔34を埋める。続いて、同一真空中でT1膜38をDCマグネトロンスパッタによりスパッタパワー0.4kW、Ar圧力8mTorr、基板温度300℃で膜厚100nm形成し、過剰GeをT1膜に吸い取る。このとき、必要であれば400℃熱処理してもよい。

【0023】最後に図3(d)に示すように、フォトリソグラフィにより、配線アルミバタニグドライエッチを行い、電極配線を形成する。なお、バタニグ後、シリコン基板と配線金属とのコンタクトをとるためのシタリングは、400℃で行っている。

【0024】

【発明の効果】以上説明したように、本発明によれば、基板一主面上の絶縁膜開口部にAl-Geの融点である430℃前後の低い温度でAl-Ge膜を溶融状態で形成し、リフローしながらコンタクト孔に埋め込むことができ、コンタクト孔でのAl配線の断線を防ぎ、T1膜の存在により、過剰Geを吸収し、チタゲルマナイド

5

を形成して、Al配線中にGeが析出してAl配線抵抗が増大し、その結果Al配線が断線するのを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の実施例1を製造工程順に示す断面図である。

【図2】本発明の実施例2を製造工程順に示す断面図である。

【図3】本発明の実施例3を製造工程順に示す断面図である。

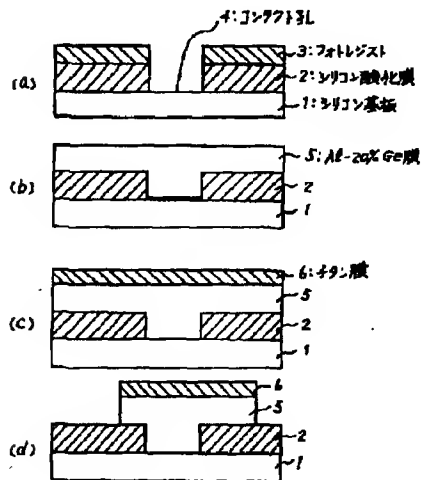
10

6

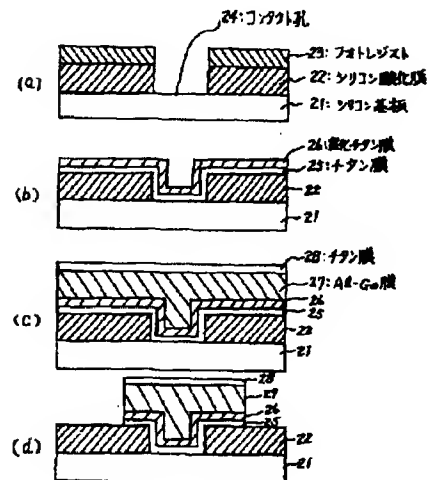
【符号の説明】

- 1, 21, 31 p型シリコン基板
- 2, 22, 32 シリコン酸化膜
- 3, 23, 33 フォトリソグ
- 4, 24, 34 コンタクト孔
- 5 Al-20%Ge膜
- 27, 37 Al-5%Ge膜
- 6, 25, 28, 35, 38 Ti膜
- 26, 36 窒化チタン膜

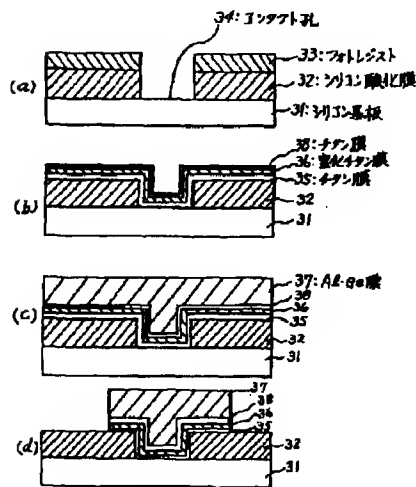
【図1】



【図2】



【図3】



(5)

特開平4-273162

フロントページの続き

(51)Int. Cl.³

H01L 29/46

識別記号 庁内整理番号

R 7738-4M

F I

技術表示箇所

Family list

2 family member for: **JP4273162**

Derived from 1 application

1 SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Inventor: YOSHIKAWA KIMIMARO

Applicant: NIPPON ELECTRIC CO

EC:

IPC: H01L21/28; H01L21/3205; H01L23/52 (+

Publication info: JP3109112B2 B2 - 2000-11-13

JP4273162 A - 1992-09-29

Data supplied from the *esp@cenet* database - Worldwide